

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142726

(43) 公開日 平成7年(1995)6月2日

(51) Int. Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H01L 29/78 21/335 21/8238		7514-4M 9170-4M	H01L 29/78 27/08	301 P 921 E
審査請求 未請求 請求項の数5 OL (全 10 FO) 最終頁に続く				

(21) 出願番号 特願平5-280578
(22) 出願日 平成5年(1993)11月19日

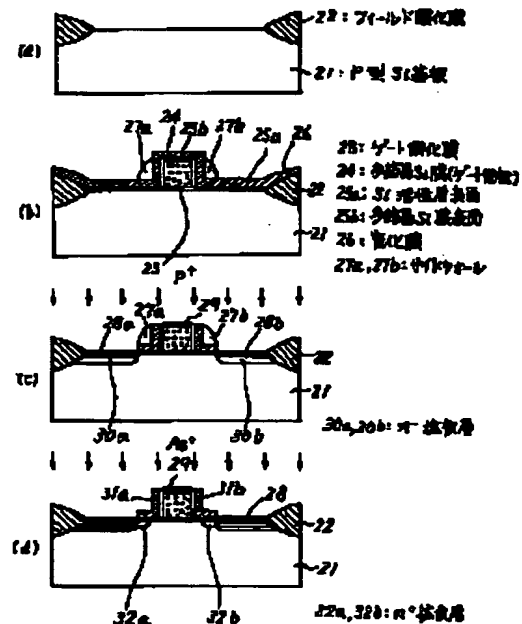
(71) 出願人 000000285
神電気工業株式会社
東京都港区虎ノ門1丁目7番12号
(72) 発明者 若松 秀利
東京都港区虎ノ門1丁目7番12号 神電気
工業株式会社内
(74) 代理人 弁護士 清水 守 (外1名)

(54) 【発明の名称】 電界効果型トランジスタの製造方法

(57) 【要約】 (修正有)

【目的】 漏れ電流、寄生抵抗、短チャネル効果及びホットキャリア効果を抑制したFETの製造法を提供する。

【構成】 半導体基板上にゲート電極24、その側面に31a、31b、及び27a、27bの2重サイドウォールを形成し、この2重サイドウォールをマスクにしてソース・ドレイン領域に深いn-拡散層30a、30bを形成する。サイドウォール27a、27bだけをエッチング除去し、L型サイドウォール31a、31bは残して、ソース・ドレイン領域に浅いn+拡散層32a、32bを形成し、次にL型サイドウォール31a、31bをエッチング除去し、ゲート電極24をマスクにレイオン注入法により、LDD用n-層を形成する。また層間絶縁膜を形成し、その平滑化と、ソース・ドレイン拡散層の活性化のために熱処理を行う。ゲート電極配線とバリアメタルを含む積層メタル配線とコンタクトをとる。



【特許請求の範囲】

【請求項1】 サリサイド構造を有する電界効果型トランジスタの製造方法において、

- (a) 半導体基板上のアクティブ領域にゲート電極を形成する工程と、
- (b) 該ゲート電極の側面に第1のL型サイドウォール及びその上に堆積される第2のサイドウォールを有する2重サイドウォールを形成する工程と、
- (c) ソース・ドレイン領域及び前記ゲート電極上に高融点金属シリサイド膜を形成する工程と、
- (d) 前記2重サイドウォールをマスクにしてソース・ドレイン領域に深い接合の不純物拡散層を形成する工程と、
- (e) 前記2重サイドウォールの第2のサイドウォールをエッチング除去し、前記第1のL型サイドウォールを残した状態で、ソース・ドレイン領域に浅い接合の不純物拡散層を形成する工程と、
- (f) 前記第1のL型サイドウォールをエッチング除去し、ゲート電極をマスクにして大斜角斜め回転イオン注入法により、LDD用の不純物拡散層を形成する工程と、
- (g) 多層の層間絶縁膜を形成し、該層間絶縁膜の平滑化と、ソース・ドレイン拡散層を活性化するための熱処理を行う工程と、
- (h) ゲート電極配線とソース・ドレイン領域をバリアメタルを含む積層メタル配線とコンタクトをとる工程とを順に施すことを特徴とする電界効果型トランジスタの製造方法。

【請求項2】 サリサイド構造を有する電界効果型トランジスタの製造方法において、

- (a) 半導体基板上のアクティブ領域にゲート電極を形成する工程と、
- (b) 該ゲート電極の側面に幅の広いサイドウォールを形成する工程と、
- (c) ソース・ドレイン領域及び前記ゲート電極上に高融点金属シリサイド膜を形成する工程と、
- (d) 前記サイドウォールをマスクにしてソース・ドレイン領域に深い接合の不純物拡散層を形成する工程と、
- (e) 前記サイドウォールをエッチング除去し、ソース・ドレイン領域に浅い接合の不純物拡散層を形成する工程と、
- (f) ゲート電極をマスクにして大斜角斜め回転イオン注入法により、LDD用の不純物拡散層を形成する工程と、
- (g) 多層の層間絶縁膜を形成し、該層間絶縁膜の平滑化と、ソース・ドレイン拡散層を活性化するための熱処理を行う工程と、
- (h) ゲート電極配線とソース・ドレイン領域をバリアメタルを含む積層メタル配線とコンタクトをとる工程とを順に施すことを特徴とする電界効果型トランジスタの

製造方法。

【請求項3】 サリサイド構造を有する電界効果型トランジスタの製造方法において、

- (a) 半導体基板上のアクティブ領域にゲート電極を形成する工程と、
- (b) 該ゲート電極の側面に第1のL型サイドウォール及びその上に堆積される第2のサイドウォールを有する2重サイドウォールを形成する工程と、
- (c) ソース・ドレイン領域及び前記ゲート電極上に高融点金属シリサイド膜を形成する工程と、
- (d) 前記2重サイドウォールをマスクにしてソース・ドレイン領域に深い接合の不純物拡散層を形成する工程と、
- (e) 前記2重サイドウォールの第2のサイドウォールをエッチング除去し、前記第1のL型サイドウォールを残した状態で、ソース・ドレイン領域に浅い接合の不純物拡散層を形成する工程と、
- (f) 前記第1のL型サイドウォール及びゲート電極をマスクにして大斜角斜め回転イオン注入法により、LDD用の不純物拡散層を形成する工程と、
- (g) 多層の層間絶縁膜を形成し、該層間絶縁膜の平滑化と、ソース・ドレイン拡散層を活性化するための熱処理を行う工程と、
- (h) ゲート電極配線とソース・ドレイン領域をバリアメタルを含む積層メタル配線とコンタクトをとる工程とを順に施すことを特徴とする電界効果型トランジスタの製造方法。

【請求項4】 前記LDD用の不純物拡散層を形成した後にゲート電極及びソース・ドレイン領域全面をN2あるいはNH3ガス雰囲気中で窒化することを特徴とする請求項1、2又は3項記載の電界効果型トランジスタの製造方法。

【請求項5】 前記多層の層間絶縁膜は、下層から順にシリコン酸化膜、シリコン窒化膜、シリコン酸化膜及び不純物を含むシリコン酸化膜の4層からなることを特徴とする請求項1、2又は3項記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電界効果型トランジスタの製造方法に係り、特に、MOSFETを有するCMOSデバイスの、主としてそのnチャネルMOSFETの製造方法に関するものである。

【0002】

【従来の技術】近年、半導体素子の微細化が進み、それとともに、MOSFETが縮小化されるにしたがい、そのゲート長が短くなり、また、短チャネル効果を抑制するため、ソース・ドレイン領域の接合深さ(xj)は浅くせざるを得なくなってきた。

【0003】このように、ゲート長が短くなり、MOS

FETのオン抵抗は下がり、一方で x_j が浅くなるため、ソース・ドレインのシート抵抗は増大する。したがって、ゲート長がサブミクロン領域のMOSFETでは、ソース・ドレインのシート抵抗が、MOSFETのオン抵抗に対して無視し得なくなり、MOSFETの駆動力が、ソース・ドレイン領域の寄生抵抗により低下する問題が顕著となる。

【0004】かかる問題に対してソース・ドレイン及びゲートを自己整合的にシリサイド化し、シート抵抗を下げるためにシリサイド技術が存在している。図3はかかる従来のシリサイド構造を有するMOSFETの製造工程断面図である。

(1) まず、図3(a)に示すように、P型100Si基板1上の一部に、通常のホトリソグラフィ(以下、ホトリソと略す)とエッチング及びイオン注入法を用いて、N型不純物(リン等)を導入し、Nウェル領域2を形成する。次に、通常のLOCOS法により、フィールド酸化膜3を形成する。ドライ酸化雰囲気中で熱酸化し、Si基板1表面にゲート酸化膜4を形成し、ゲート電極となる多結晶シリコン膜を全面に堆積し、通常のホトリソ・エッチング技術を用いたゲート電極5のパターニングを行う。

【0005】通常のホトリソ工程により、Pch(Pチャンネル)MOSFET形成領域をホトレジスト6で被い、全面にLDD(Lightly Dope)層(低濃度拡散層)n-層7となるリンまたはヒ素を、加速エネルギー30~50keVで $1 \sim 4 \times 10^{13} \text{ ions/cm}^2$ イオン注入法により注入することで、Nch(Nチャンネル)MOSFET領域のみn-層7を形成する。

【0006】次いで、全面に常圧CVD(化学気相成長)法により、シリコン酸化膜もしくはボロン、リン等を含むシリコン酸化膜を形成し、異方性イオンエッチング法により、図3(b)に示すように、ゲート電極5側壁にサイドウォール膜8を形成する。次いで、上記と同様に、ホトレジストにより、PchMOSFET、NchMOSFET側を各々被い、Nch側、Pch側に各々イオン注入法により、ソース・ドレイン領域となる不純物のヒ素打ち込み領域9(n+層)及びボロン打ち込み領域9'(p+層)を注入する。

【0007】次に、図3(c)に示すように、800~1000℃の熱処理を行い、ソース・ドレイン領域9の不純物の活性化を行った後、高融点金属膜10を形成する。次いで、600~1000℃の範囲内で、2段階短時間熱処理法を施すと、図3(d)に示すように、高融点金属膜10とゲート電極5の多結晶シリコン膜、及びソース・ドレイン領域9のシリコン活性層との間にシリサイド化反応が生じ、自己整合的に高融点金属シリサイド膜11が形成される。

【0008】この工程の間には、アンモニア水と過酸化水素水の混合液を用いて、未反応高融点金属12を選択

的にエッチング除去することにより、図3(e)に示すように、シリサイド構造を有するMOSFETが完成する。

【0009】

【発明が解決しようとする課題】しかしながら、以上述べた従来のシリサイド構造を有するMOSFETの製造方法では、素子の微細化に伴い、短チャネル効果抑制のため、そのソース・ドレイン領域の拡散層の接合深さ(x_j)が浅くなり、シリサイド化した層の底面と接合との間隔が短くなり、接合リーク電流が増大するという問題があった。

【0010】また、ソース・ドレイン領域及びゲート電極上のシリサイド表面は、大気に晒されたときに酸化物が生成され、メタル配線との接続のときに十分なオーミックコンタクトがとれないという問題があった。また、ソース・ドレイン領域を形成した後に、シリサイド化を行っているため、シリサイドと拡散層の界面の不純物濃度が層間絶縁膜の平坦化熱処理によって低下し、寄生抵抗が生じ、MOSTランジスタの電流駆動能力が低下するという問題があった。

【0011】また、ソース・ドレイン領域を形成するときに、サイドウォールが形成された状態でイオン注入を行っているためと、そのサイドウォールがプロセスの最後まで除去されずに残っているために、後工程の熱処理によってサイドウォール膜中の不純物が、ソース・ドレイン領域に拡散し、ゲート電極端のソース・ドレイン領域の不純物プロファイルを不均一にし、短チャネル効果及びホットキャリア耐性の劣化を生じるという問題があった。

【0012】また、ソース・ドレイン領域とゲート電極上をシリサイド化するとき、サイドウォール上部は殆どシリサイド化はしないが、わずかにサイドウォール表面部はシリサイド化反応が生じるため、その後の選択エッチングのときに、その反応層を十分除去しきれずに、ゲート電極とソース・ドレイン領域をショートさせるという問題点があった。

【0013】本発明は、上記問題点を解決するために、以上述べた接合リーク電流及び寄生抵抗の増大をなくし、また、効果的に短チャネル効果を抑制し、さらにホットキャリア効果を抑制できるようにしたシリサイド構造を有する電界効果型トランジスタの製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するために、シリサイド構造を有する電界効果型トランジスタの製造方法において、

(A) 半導体基板上のアクティブ領域にゲート電極を形成する工程と、該ゲート電極の側面に第1のL型サイドウォール及びその上に堆積される第2のサイドウォールを有する2重サイドウォールを形成する工程と、ソース

・ドレイン領域及び前記ゲート電極上に高融点金属シリサイド膜を形成する工程と、前記2重サイドウォールをマスクにしてソース・ドレイン領域に深い接合の不純物拡散 (n^-) 層を形成する工程と、前記2重サイドウォールの第2のサイドウォールをエッチング除去し、前記第1のL型サイドウォールを残した状態で、ソース・ドレイン領域に浅い接合の不純物拡散 (n^+) 層を形成する工程と、前記第1のL型サイドウォールをエッチング除去し、ゲート電極をマスクにして大斜角斜め回転イオン注入法により、LDD用の不純物拡散 (n^-) 層を形成する工程と、多層の層間絶縁膜を形成し、該層間絶縁膜の平滑化と、ソース・ドレイン拡散層を活性化するための熱処理を行う工程と、ゲート電極配線とソース・ドレイン領域をバリアメタルを含む積層メタル配線とコンタクトをとる工程とを順に施すようにしたものである。

【0015】(B) 半導体基板上のアクティブ領域にゲート電極を形成する工程と、該ゲート電極の側面に幅の広いサイドウォールを形成する工程と、ソース・ドレイン領域及び前記ゲート電極上に高融点金属シリサイド膜を形成する工程と、前記サイドウォールをマスクにしてソース・ドレイン領域に深い接合の不純物拡散 (n^-) 層を形成する工程と、前記サイドウォールをエッチング除去し、ソース・ドレイン領域に浅い接合の不純物拡散 (n^+) 層を形成する工程と、ゲート電極をマスクにして大斜角斜め回転イオン注入法により、LDD用の不純物拡散 (n^-) 層を形成する工程と、多層の層間絶縁膜を形成し、該層間絶縁膜の平滑化と、ソース・ドレイン拡散層を活性化するための熱処理を行う工程と、ゲート電極配線とソース・ドレイン領域をバリアメタルを含む積層メタル配線とコンタクトをとる工程とを順に施すようにしたものである。

【0016】(C) 半導体基板上のアクティブ領域にゲート電極を形成する工程と、該ゲート電極の側面に第1のL型サイドウォール及びその上に堆積される第2のサイドウォールを有する2重サイドウォールを形成する工程と、ソース・ドレイン領域及び前記ゲート電極上に高融点金属シリサイド膜を形成する工程と、前記2重サイドウォールをマスクにしてソース・ドレイン領域に深い接合の不純物拡散 (n^-) 層を形成する工程と、前記2重サイドウォールの第2のサイドウォールをエッチング除去し、前記第1のL型サイドウォールを残した状態で、ソース・ドレイン領域に浅い接合の不純物拡散 (n^+) 層を形成する工程と、前記第1のL型サイドウォール及びゲート電極をマスクにして大斜角斜め回転イオン注入法により、LDD用の不純物拡散 (n^-) 層を形成する工程と、多層の層間絶縁膜を形成し、該層間絶縁膜の平滑化と、ソース・ドレイン拡散層を活性化するための熱処理を行う工程と、ゲート電極配線とソース・ドレイン領域をバリアメタルを含む積層メタル配線とコンタクトをとる工程とを順に施すようにしたものである。

【0017】

【作用】本発明によれば、上記のように、比較的長いサイドウォールの外側で、ソース・ドレイン領域がシリサイド化され、しかもその領域のみ拡散層深さが深くなっているため、トランジスタの短チャネル効果を増大させることなく、接合リーク電流の増大を抑制できる。

【0018】また、ソース・ドレイン領域の拡散層を形成する前に、その領域のシリサイド化を行っていることで、自然酸化膜の影響を受けずに、低温でシリサイド化反応を安定に生じさせることができ、十分な低抵抗化を再現性よく安定に実現することができる。更に、ソース・ドレイン領域にイオン注入時のマスク酸化膜による酸素のノックオンがないので、シリサイド化反応の熱処理において、低温下でシリサイド化反応を均一に生じさせることができる。

【0019】また、より具体的には、ソース・ドレイン形成用イオン注入ドーズ量が接合深さを十分浅くし、しかも電流駆動力駆を低下させないような範囲に抑制されているため、微細なMOSFETにおいても、十分な短チャネル効果が抑制され、しかも高駆動力なMOSFETが実現可能となる。更に、シリサイド化領域の深い拡散層形成は、シリサイド膜からの固相拡散を利用しているため、シリサイド界面や拡散層界面が凹凸にならないスムーズな界面が得られ、かつシリサイドと拡散層界面の不純物濃度が高濃度に保たれ、オーミック接合が再現性よく安定に実現できる。

【0020】また、シリサイド化後に、浅い拡散層形成と、LDD (n^-) 層形成のためのイオン注入を行っているため、そのイオン注入の不純物の活性化を層間絶縁膜の平坦化アニールと同時に行うようにしても、シリサイドと拡散層界面の不純物濃度が低下するのを補うことができ、十分なオーミック接合がシリサイドと拡散層の間で実現できる。

【0021】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の第1の実施例を示す電界効果型トランジスタの製造工程断面図(その1)、図2はその電界効果型トランジスタの製造工程断面図(その2)である。

【0022】(1) まず、図1(a)に示すように、p型の面方位(100)面のシリコン基板21上に、LOCOS法により素子分離領域を形成するためにフィールド酸化膜22を4000Å程度形成する。

(2) 次に、図1(b)に示すように、高純度なドライ酸化雰囲気中でゲート酸化膜23を100Å程度形成する。次に、減圧CVD法を用いて、多結晶シリコン膜を3000Å程度形成する。次に、通常のホトリソ技術とエッチング技術を用いて、多結晶シリコン膜からなるゲート電極24配線を形成する。次に、シリコン活性層表面25a、多結晶シリコン膜表面25b上に、800

℃程度の温度のドライ酸化雰囲気中で酸化膜を形成する。

【0023】次に、LPCVD法を用いて、全面にシリコン窒化膜26を500～1000Å程度形成する。次に、LPCVD法かあるいは常圧CVD法を用いて、シリコン酸化膜を2000～3000Å程度形成する。次いで、反応性（異方性）イオンエッチング法を用いて、シリコン酸化膜のみをエッチングし、ゲート電極24側壁にシリコン酸化膜からなるサイドウォール27a、27bを形成する。

【0024】（3）次に、図1（c）に示すように、ウェットエッチング法あるいは反応性イオンエッチング法を用いてゲート電極24側壁以外のシリコン窒化膜26をエッチング除去し、L型のサイドウォールを含む2重サイドウォール31a、31b、27a、27bを形成し、これをマスクにして、界面活性剤入りのバッファードフッ酸溶液を用いて、シリコン活性層表面25aと多結晶シリコン膜表面25b上の酸化膜をエッチング除去する。次に、シリコン活性層表面25aと多結晶シリコン膜表面25b上の自然酸化膜を、Ar+H₂ ガス混合のガス雰囲気中でプラズマ表面クリーニングによってエッチング除去する。

【0025】次いで、連続的にシリコン基板を大気に晒さずに、全面にプラズマスパッタリング法を用いて、高融点金属（Ti、Co、W、Ni、Mo等）膜を200～500Å程度形成する。次に、2段階短時間熱処理法を用いて、多結晶シリコン膜からなるゲート電極24上と、ソース・ドレイン領域となるシリコン活性層表面25aに、自己整合的に高融点金属シリサイド膜、例えばTiSi₂膜を600Å程度形成する。なお、1段階目の短時間熱処理は、600～700℃程度でN₂ ガス雰囲気中で30秒間行う。

【0026】次いで、アンモニア水（NH₃OH）と過酸化水素水（H₂O₂）と水（H₂O）の混合液を用いて、室温でシリサイド上のTiNとサイドウォール上及びフィールド酸化膜上の未反応TiとTiNをエッチング除去する。次に、2段階目の短時間熱処理を700～900℃程度でN₂ ガス雰囲気中で30秒間行い、化学量論的に安定なTiSi₂膜28a、28b、29を形成する。

【0027】次に、ソース・ドレイン領域形成用不純物（P）を、加速エネルギー40keV、ドーズ量1×10¹⁴～1×10¹⁵ions/cm²と、通常使用される（3～5×10¹⁵）ions/cm²より低いドーズ量で、シリサイド膜とシリコン基板界面付近にイオン注入し、接合の深いn⁺拡散層30a、30bを形成する。

【0028】（4）次に、図1（d）に示すように、シリコン酸化膜のサイドウォール27a、27bを、反応性イオンエッチング法を用いてエッチング除去する。次に、L型サイドウォール31a、31bをマスクにし

て、サイドウォール下に加速エネルギー110keV、ドーズ量3～5×10¹⁵ions/cm²の条件で、接合の浅いn⁺拡散層32a、32bのソース・ドレイン領域を形成するためのイオン、例えばAsのイオン注入をする。

【0029】（5）次に、L型サイドウォール31a、31bを、図2（a）に示すように、反応性イオンエッチング法を用いてエッチング除去する。次いで、シリコン活性層表面と多結晶シリコン膜側壁のシリコン酸化膜を、界面活性剤入りのバッファードフッ酸を用いてエッチング除去する。次いで、ホットキャリア効果抑制用のLDD層（n⁻層）33a、33bを形成するための不純物（P）を大斜角（45°程度）斜め回転イオン注入法により、2～4×10¹³ions/cm²程度のドーズ量、加速エネルギー30keVの条件でイオン注入する。次に、800℃程度でN₂（又はNH₃）ガス雰囲気中で30秒間短時間熱処理を行い、シリサイド膜表面及び多結晶シリコン膜側壁を窒化する（図示なし）。

【0030】（6）次に、図2（b）に示すように、LPCVD法を用いて、全面にシリコン酸化膜34を500Å程度形成する。次に、LPCVD法を用いて、全面にシリコン窒化膜35を500Å程度形成する。次に、常圧CVD法を用いて全面にシリコン酸化膜36と、不純物（B、P）を含むシリコン酸化膜37を連続的に形成する。次に、不純物を含むシリコン酸化膜37を平坦にするためとソース・ドレイン領域の不純物を活性化するためのアニールを行う。

【0031】（7）次に、図2（c）に示すように、通常のホトリソ技術とエッチング技術を用いて、ソース・ドレイン領域上あるいはゲート電極24配線の上にコンタクト穴38を形成する。次に、スパッタリング法を用いて、2層あるいはそれ以上の積層膜で形成された金属を形成し、通常のホトリソ技術とエッチング技術により、メタル配線39を形成する。

【0032】次に、本発明の第2実施例について図を用いて説明する。図4は本発明の第2実施例を示す電界効果型トランジスタの製造工程断面図である。この第2の実施例は、比較的長いサイドウォール1層を用いて、第1の実施例と同様のソース・ドレイン領域を形成するようにしたものである。

【0033】（1）まず、図4（a）に示すように、p型の面方位（100）面のシリコン基板41上に、LOCOS法により素子分離領域を形成するためにフィールド酸化膜42を4000Å程度形成する。次に、高純度なドライ酸化雰囲気中でゲート酸化膜43を100Å程度形成する。次に、減圧CVD法を用いて、多結晶シリコン膜を3000Å程度形成する。次に、通常のホトリソ技術とエッチング技術を用いて、多結晶シリコン膜からなるゲート電極44配線を形成する。次に、シリコン活性層表面45a、多結晶シリコン膜表面45bに、

800℃程度の温度のドライ酸化雰囲気中で酸化膜を形成する。次に、LPCVD法かあるいは常圧CVD法を用いて、シリコン酸化膜を2500～4000Å程度形成する。次いで、反応性イオンエッチング法を用いて、シリコン酸化膜のみをエッチングし、ゲート電極44側壁にサイドウォール46a、46bを形成する。

【0034】(2)次いで、図4(b)に示すように、サイドウォール46a、46bをマスクにして、ウェットエッチング法あるいは反応性イオンエッチング法を用いてゲート電極44側壁以外のシリコン酸化膜をエッチング除去する。次いで、界面活性剤入りのバッファードフッ酸溶液を用いて、シリコン活性層表面45aと多結晶シリコン膜表面45b上の酸化膜をエッチング除去する。次に、シリコン活性層表面45aと多結晶シリコン膜表面45b上の自然酸化膜をAr+H₂ ガス混合のガス雰囲気中でプラズマ表面クリーニングによってエッチング除去する。

【0035】次いで、連続的にシリコン基板を大気に晒さないで、全面にプラズマスパッタリング法を用いて、高融点金属(Ti, Co, W, Ni, Mo等)膜を200～500Å程度形成する。次に、2段階短時間熱処理法を用いて、ゲート電極44上と、ソース・ドレイン領域となるシリコン活性層表面45bに、自己整合的に高融点金属シリサイド膜、例えばTiSi₂膜を600Å程度形成する。なお、1段階目の短時間熱処理は、600～700℃程度でN₂ ガス雰囲気中で30秒間行う。

【0036】次いで、アンモニア水(NH₃OH)と過酸化水素水(H₂O₂)と水(H₂O)の混合液を用いて、室温でシリサイド上のTiNとサイドウォール上及びフィールド酸化膜上の未反応TiとTiNをエッチング除去する。次に、2段階目の短時間熱処理を700～900℃程度でN₂ ガス雰囲気中で30秒間行い、化学量論的に安定なシリサイド膜、つまりTiSi₂膜47a、47b、48を形成する。

【0037】次に、ソース・ドレイン領域形成用不純物(P)を、加速エネルギー40keV、ドーズ量1×10¹⁴～1×10¹⁵ions/cm²と、通常使用される(3～5×10¹⁵)ions/cm²より低いドーズ量で、シリサイド膜とシリコン膜基板界面付近にイオン注入し、接合の深いn-拡散層49a、49bを形成する。

【0038】(3)次いで、図4(c)に示すように、シリコン酸化膜のサイドウォール46a、46bを、反応性イオンエッチング法を用いてエッチング除去する。更に、シリコン活性層表面と多結晶シリコン膜側壁のシリコン酸化膜を界面活性剤入りのバッファードフッ酸を用いてエッチング除去する。次に、加速エネルギー60keV、ドーズ量3～5×10¹⁵ions/cm²の条件で、接合の浅いn+拡散層50a、50bのソース・ドレイン領域を形成するためのイオン、例えば、As+

のイオン注入をする。

【0039】(4)次いで、図4(d)に示すように、ホットキャリア効果抑制用のLDD層(n-層)51a、51bを形成するための不純物(P)を大斜角(45°程度)斜め回転イオン注入法により、2～4×10¹³ions/cm²程度のドーズ量、加速エネルギー30keVの条件でイオン注入する。次に、800℃程度でN₂(又はNH₃)ガス雰囲気中で30秒間短時間熱処理を行い、シリサイド膜表面及び多結晶シリコン膜側壁を窒化する(図示なし)。

【0040】(5)その後は、第1実施例の図2(b)及び図2(c)に示す工程を施し、電界効果型トランジスタを完成する。このように、第2実施例においては、第1の実施例で用いたL型サイドウォールを用いずに、LDD構造のソース・ドレイン領域を形成する。シリサイド膜の形成後のシリサイド膜下の接合の深いn-拡散層49a、49bは第1の実施例と同じである。ゲート電極44をマスクにして入射角0°で、接合の浅いn+拡散層50a、50bを形成し、その後、大斜角斜め回転イオン注入法を用いて、LDD層(n-層)51a、51bを形成するようにしたことが特徴である。

【0041】次に、本発明の第3実施例について図を用いて説明する。図5は本発明の第3実施例を示す電界効果型トランジスタの製造工程断面図である。

(1)まず、図5(a)に示すように、p型の面方位(100)面のシリコン基板61上に、LOCOS法により素子分離領域を形成するためにフィールド酸化膜62を4000Å程度形成する。次に、高纯净度なドライ酸化雰囲気中でゲート酸化膜63を100Å程度形成する。次に、減圧CVD法を用いて、多結晶シリコン膜を3000Å程度形成する。次に、通常のホトリソ技術とエッチング技術を用いて、多結晶シリコン膜からなるゲート電極64配線を形成する。

【0042】次に、シリコン活性層表面65a、多結晶シリコン膜表面65b上に、800℃程度の温度のドライ酸化雰囲気中で酸化膜を形成する。次に、LPCVD法を用いて、全面にシリコン窒化膜66を500～1000Å程度形成する。次に、LPCVD法かあるいは常圧CVD法を用いて、シリコン酸化膜を2000～3000Å程度形成する。次いで、反応性(異方性)イオンエッチング法を用いて、不純物を含むシリコン酸化膜67のみをエッチングし、ゲート電極側壁にサイドウォール67a、67bを形成する。

【0043】(2)次いで、図5(b)に示すように、L型のサイドウォールを含む2重サイドウォール71a、71b、67a、67bをマスクにして、ウェットエッチング法あるいは反応性イオンエッチング法を用いて、ゲート電極64側壁以外のシリコン窒化膜66をエッチング除去する。次いで、界面活性剤入りのバッファードフッ酸溶液を用いて、シリコン活性層表面65aと

多結晶シリコン膜表面65b上の酸化膜をエッチング除去する。次に、シリコン活性層表面65aと多結晶シリコン膜表面65b上の自然酸化膜を、 $\text{Ar} + \text{H}_2$ ガス混合のガス雰囲気中でプラズマ表面クリーニングによってエッチング除去する。

【0044】次いで、連続的にシリコン基板を大気に晒さないで、全面にプラズマスパッタリング法を用いて、高融点金属(Ti, Co, W, Ni, Mo等)膜を200~500Å程度形成する。次に、2段階短時間熱処理法を用いて、多結晶シリコン膜からなるゲート電極64上と、ソース・ドレイン領域となるシリコン活性層表面65aに、自己整合的に高融点金属シリサイド膜、例えば TiSi_2 膜を600Å程度形成する。なお、1段階目の短時間熱処理は、650℃程度で N_2 ガス雰囲気中で30秒間行う。

【0045】次いで、アンモニア水(NH_3OH)と過酸化水素水(H_2O_2)と水(H_2O)の混合液を用いて、室温でシリサイド上のTiNとサイドウォール上及びフィールド酸化膜上の未反応TiとTiNをエッチング除去する。次に、2段階目の短時間熱処理を700~900℃程度 N_2 ガス雰囲気中で30秒間行い、化学量論的に安定な TiSi_2 膜68a, 68b, 69を形成する。

【0046】次に、ソース・ドレイン領域形成用不純物(P)を、加速エネルギー40keV、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{15} \text{ ions/cm}^2$ と、通常使用される($3 \sim 5 \times 10^{15} \text{ ions/cm}^2$)より低いドーズ量で、シリサイド膜とシリコン膜基板界面付近にイオン注入し、接合の深いn-拡散層70a, 70bを形成する。

【0047】(3)次に、図5(c)に示すように、シリコン酸化膜からなるサイドウォール67a, 67bを反応性イオンエッチング法を用いてエッチング除去する。次に、L型サイドウォール71a, 71bをマスクにして、サイドウォール下に加速エネルギー110keV、ドーズ量 $3 \sim 5 \times 10^{15} \text{ ions/cm}^2$ の条件で接合の浅いn+拡散層72a, 72bのソース・ドレイン領域を形成するためのイオン、例えばAsのイオン注入をする。

【0048】(4)次いで、図5(d)に示すように、ホットキャリア効果抑制用のLDD層(n-層)73a, 73bを形成するための不純物(P)を大斜角(45°程度)斜め回転イオン注入法により、 $2 \sim 4 \times 10^{13} \text{ ions/cm}^2$ 程度のドーズ量、加速エネルギー30keVの条件でイオン注入する。次いで、800℃程度で N_2 (又は NH_3)ガス雰囲気中で30秒間短時間熱処理を行い、シリサイド膜表面及び多結晶シリコン膜側壁を窒化する(図示なし)。

【0049】(5)その後は、第1実施例の図2(b)及び図2(c)に示す工程を施し、電界効果型トランジ

スタを完成する。このように、第3の実施例は、L型のサイドウォールを含む2重サイドウォールを用いた第1の実施例を変形したものである。第1の実施例との違いは、ホットキャリア効果抑制用のLDD層(n-層)73a, 73bを形成する工程である。

【0050】すなわち、L型サイドウォール71a, 71bを残した状態で、まず、入射角0°のイオン注入により、接合の浅いn+拡散層72a, 72bを形成し、更に、L型サイドウォール71a, 71bを残した状態で、大斜角斜めイオン注入法を用いて、LDD層(n-層)73a, 73bを、ゲート電極64にオーバーラップするように形成する。

【0051】なお、上記実施例においては、nチャネルMOSFETについて説明したが、pチャネルMOSFETの場合にも同様に適用できることは言うまでもない。また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0052】

【発明の効果】以上、詳細に説明したように、本発明によれば、

(1)比較的長いサイドウォールの外側で、ソース・ドレイン領域がシリサイド化され、しかもその領域のみ拡散層深さが深くなっているため、トランジスタの短チャネル効果を増大させることなく、接合リーク電流の増大を抑制できる。

【0053】(2)ソース・ドレイン領域の拡散層を形成する前に、その領域のシリサイド化を行っているの、自然酸化膜の影響を受けずに、低温でシリサイド化反応を安定に生じさせることができ、十分な低抵抗性を再現性よく安定に実現することができる。

(3)ソース・ドレイン領域にイオン注入時のマスク酸化膜による酸素のノックオンがないので、シリサイド化反応の熱処理において、低温下でシリサイド化反応を均一に生じさせることができる。

【0054】(4)より具体的には、ソース・ドレイン形成用イオン注入ドーズ量が接合深さを十分浅くし、しかも電流駆動力を低下させないような範囲に制御されているため、微細なMOSFETにおいても、十分な短チャネル効果が抑制され、しかも高駆動力なMOSFETが実現可能となる。

(5)シリサイド化領域の深い拡散層形成は、シリサイド膜からの固相拡散を利用しているため、シリサイド界面や拡散層界面が凹凸にならないスムーズな界面が得られ、かつシリサイドと拡散層界面の不純物濃度が高濃度に保たれるオーミック接合が再現性よく安定に実現できる。

【0055】(6)シリサイド化後に、浅い拡散層形成と、LDD(n-層)形成のためのイオン注入を行っているの、そのイオン注入の不純物の活性化を層間絶縁

膜の平坦化アニールと同時に行うようにしても、シリサイドと拡散層界面の不純物濃度が低下するのを捕うことができ、十分なオーミック接合がシリサイドと拡散層の間で実現できる。

【0056】また、特に、請求項1及び3によれば、上記効果に加えて、L型サイドウォールは、エッチングによるサイドウォール幅のばらつきが生じないため、電気的なゲート長のばらつきがなくなり、閾値電圧のばらつきの小さいMOSFETを安定に形成することができる。また、LDD (n^-) 層形成のイオン注入は、マスク酸化膜なしにシリコン活性層表面に直接大斜角斜めに回転イオン注入法により行っているため、マスク酸化膜中の酸素のシリコン基板へのノックオンによる不純物の不活性化を防止できる。

【0057】更に、特に、請求項2によれば、上記効果に加えて、浅い n^+ の接合の拡散層領域を、ゲート電極とオーバーラップさせることにより、バンド間トンネルによるドレインリーク電流の発生を回避させることが可能である。また、特に、請求項4によれば、ソース・ドレイン領域の n^- 層と n^+ 層及びLDD (n^-) 層を形成した後に、低温短時間熱処理によるシリサイド表面と多結晶シリコン膜表面及びシリコン活性層表面を膜応力緩和のための窒化とシリサイド膜結晶回復を同時に行っているため、後の熱処理によって拡散層の不純物の再分布が生じないだけでなく、シリサイド膜の凝集も起こらなくなり、十分な低抵抗拡散層とオーミック接合が形成できる。

【0058】更に、特に、請求項5によれば、層間絶縁膜を下層よりシリコン酸化膜、シリコン窒化膜、シリコン酸化膜及び不純物を含むシリコン酸化膜の4層構造にしたため、シリサイド膜への膜応力が緩和され、その後の熱プロセスに対するシリサイド膜の耐熱性が十分となる。また、層間絶縁膜の構成膜の中にLPCVD法があるいはプラズマCVD法によるシリコン窒化膜が含まれているので、層間絶縁膜の表面平坦化熱処理雰囲気として N_2 、 O_2 、ウェット O_2 ガスの全ての雰囲気に対して対応できる。特にウェット O_2 ガス雰囲気にするることにより、 N_2 処理より低温で平坦化が可能になる。

【0059】また、シリサイド膜表面がTiN化されて

いるため、コンタクト穴を形成した後、TiN表面が酸化されなくなり、メタル露線との接合において、十分なオーミックコンタクトが得られる。更に、現行のコンタクト穴形成後のHFディップにより微小コンタクト穴底部の自然酸化膜を除去する工程をそのまま使うことができる。ここでHFとしては、界面活性剤の入っているバッファードフッ酸溶液が望ましい。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す電界効果型トランジスタの製造工程断面図(その1)である。

【図2】本発明の第1の実施例を示す電界効果型トランジスタの製造工程断面図(その2)である。

【図3】従来のサリサイド構造を有するMOSFETの製造工程断面図である。

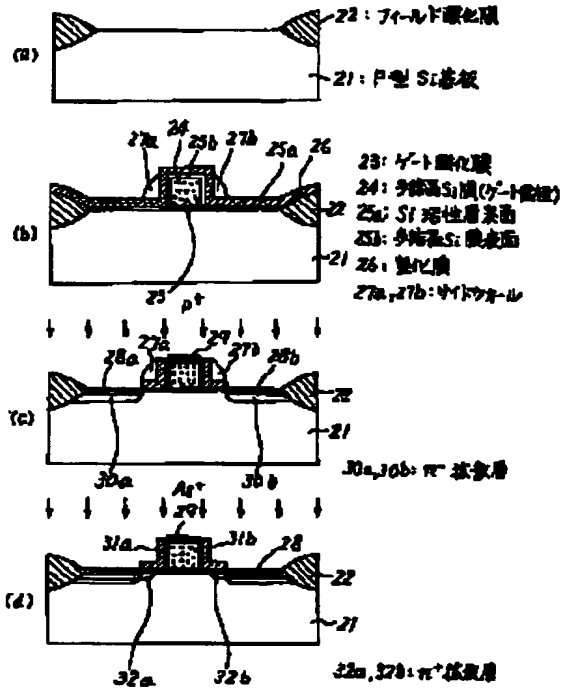
【図4】本発明の第2の実施例を示す電界効果型トランジスタの製造工程断面図である。

【図5】本発明の第3の実施例を示す電界効果型トランジスタの製造工程断面図である。

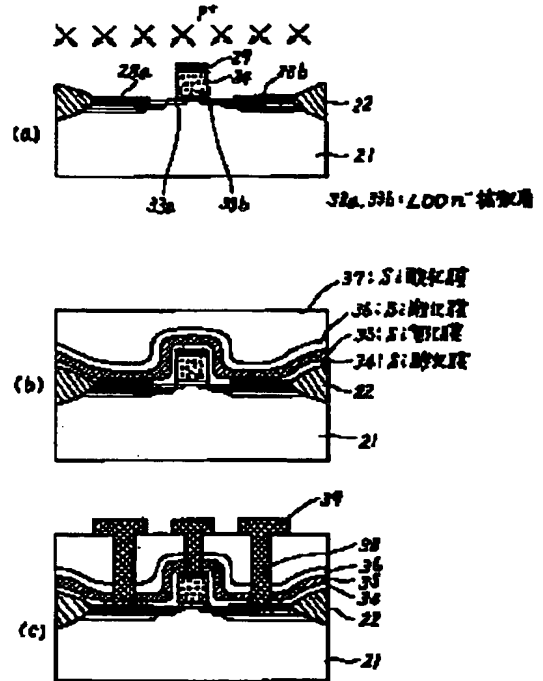
【符号の説明】

21, 41, 61	シリコン基板
22, 42, 62	フィールド酸化膜
23, 43, 63	ゲート酸化膜
24, 44, 64	ゲート電極
26, 35, 66	シリコン窒化膜
27a, 27b, 46a, 46b, 67a, 67b	サイドウォール
28a, 28b, 29, 47a, 47b, 48, 68a, 68b, 69	TiSi ₂ 膜
30a, 30b, 49a, 49b, 70a, 70b	接合の深い n^- 拡散層
31a, 31b, 71a, 71b	L型サイドウォール
32a, 32b, 50a, 50b, 72a, 72b	接合の浅い n^+ 拡散層
33a, 33b, 51a, 51b, 73a, 73b	LDD層(n^- 層)
34, 36, 37	シリコン酸化膜
38	コンタクト穴
39	メタル露線

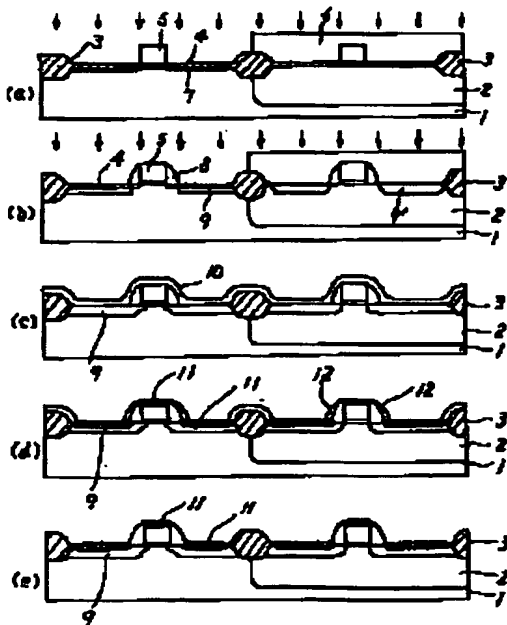
【図1】



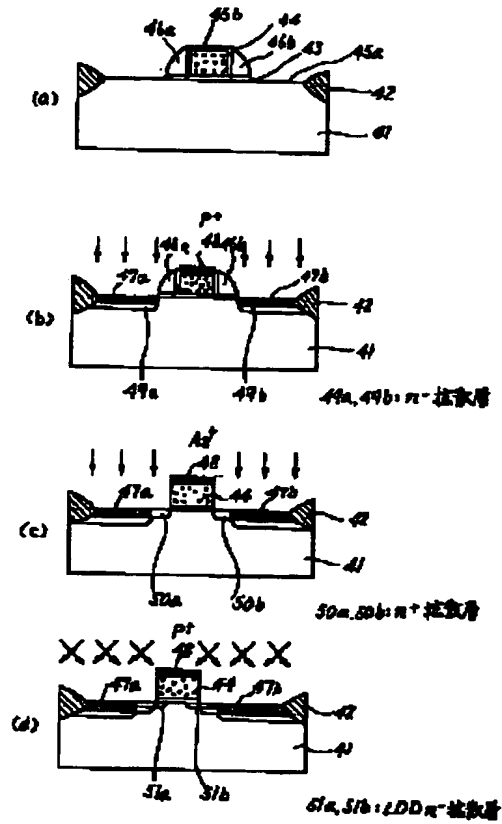
【図2】



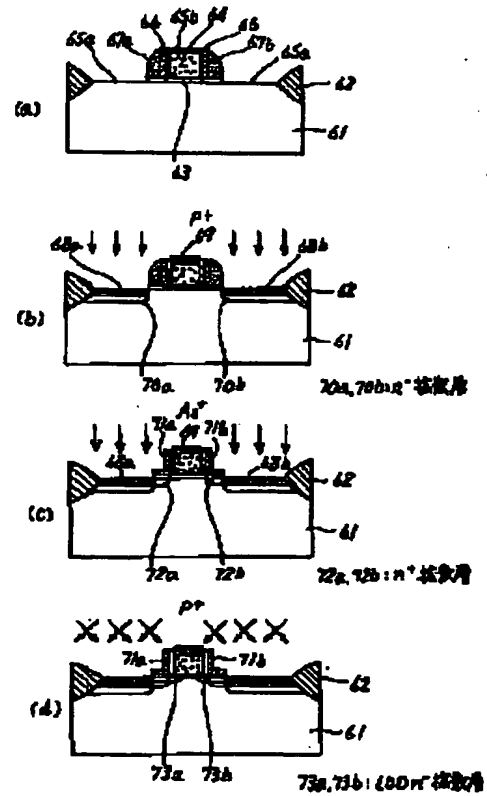
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.6
H01L 27/082

識別記号 庁内整理番号

F I

技術表示箇所